

JP04/15328

08.10.2004

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年10月20日
Date of Application:

出願番号 特願2003-359229
Application Number:
[ST. 10/C]: [JP2003-359229]

REC'D 26 NOV 2004	
WFO	PCT

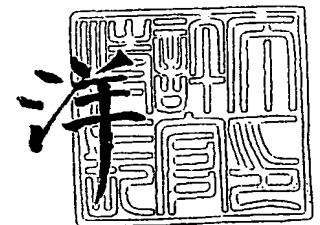
出願人 トヨタ自動車株式会社
Applicant(s):

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年11月12日

特許庁長官
Commissioner,
Japan Patent Office

小川



BEST AVAILABLE COPY

出証番号 出証特2004-310236C

【書類名】 特許願
【整理番号】 031308TA
【提出日】 平成15年10月20日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/78
【発明者】
 【住所又は居所】 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
 【氏名】 滝 雅人
【発明者】
 【住所又は居所】 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
 【氏名】 戸嶋 秀樹
【特許出願人】
 【識別番号】 000003207
 【氏名又は名称】 トヨタ自動車株式会社
【代理人】
 【識別番号】 100105751
 【弁理士】
 【氏名又は名称】 岡戸 昭佳
 【連絡先】 0 5 2 - 2 1 8 - 7 1 6 1
【選任した代理人】
 【識別番号】 100097009
 【弁理士】
 【氏名又は名称】 富澤 孝
【選任した代理人】
 【識別番号】 100098431
 【弁理士】
 【氏名又は名称】 山中 郁生
【手数料の表示】
 【予納台帳番号】 008268
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0308839

【書類名】特許請求の範囲**【請求項 1】**

低電位基準回路と高電位基準回路とを混載させ、両者間で信号の伝達を行う半導体装置において、

前記低電位基準回路の領域と前記高電位基準回路の領域との間に位置する高耐圧分離領域と、

前記低電位基準回路と前記高電位基準回路との間の信号の伝達を媒介する中継半導体素子と、

前記低電位基準回路の領域と前記高電位基準回路の領域との少なくとも一方の領域と、前記中継半導体素子との間に位置し、トレンチ状の溝に絶縁物が充填されたものである絶縁隔壁とを備え、

前記中継半導体素子の出力配線が前記絶縁隔壁を跨いで出力側の回路領域に配されていることを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載する半導体装置において、

前記低電位基準回路および前記高電位基準回路の下方に位置する基板領域を有し、

前記絶縁隔壁は、その底部が前記基板領域にまで達しているとともに厚さ方向から見て前記中継半導体素子を包囲していることを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 に記載する半導体装置において、

前記低電位基準回路の領域と前記高電位基準回路の領域との間に位置し、前記低電位基準回路の領域から前記高電位基準回路の領域までの間を複数の領域に区画する絶縁隔壁群を備えることを特徴とする半導体装置。

【請求項 4】

低電位基準回路と高電位基準回路とを混載させ、両者間で信号の伝達を行う半導体装置において、

前記低電位基準回路と前記高電位基準回路との間の信号の伝達を媒介し、トレンチ状の溝に絶縁物が充填された絶縁隔壁に包囲された中継半導体素子を備え、

前記中継半導体素子が複数設けられ、それらを環状に組み合わせることで前記低電位基準回路の領域と前記高電位基準回路の領域とが区画されており、それらの中継半導体素子の出力配線が前記絶縁隔壁を跨いで出力側の回路領域に配されていることを特徴とする半導体装置。

【請求項 5】

請求項 1 または請求項 4 に記載する半導体装置において、

前記低電位基準回路および前記高電位基準回路の下方に位置する基板領域と、

前記低電位基準回路および前記高電位基準回路と前記基板領域との間に位置し、前記低電位基準回路および前記高電位基準回路と前記基板領域とを絶縁する絶縁層を有し、

前記絶縁隔壁は、その底部が前記絶縁層にまで達しているとともに厚さ方向から見て前記中継半導体素子を包囲していることを特徴とする半導体装置。

【請求項 6】

第 1 導電型の半導体基板と、

前記半導体基板の主表面上に形成され、低電位基準回路領域をなす第 2 導電型の第 1 領域と、

前記第 1 領域と離間して前記半導体基板の上に形成され、高電位基準回路領域をなす第 2 導電型の第 2 領域と、

前記第 1 領域と前記第 2 領域との間に位置し、表面から見て前記第 1 領域または前記第 2 領域のうちの一方を取り囲むように環状に形成され、高耐圧終端領域をなす第 3 領域と、

前記第 3 領域と環状構造を一体化する形で配置され、前記第 1 領域と前記第 2 領域との間の信号伝達を媒介する中継半導体素子領域をなす第 4 領域と、

前記第 1 領域または前記第 2 領域のうちの少なくとも一方と前記第 4 領域との間に位置し、トレンチ状の溝に絶縁物が充填された絶縁隔壁とを備え、
前記第 4 領域の中継半導体素子の出力配線が、前記絶縁隔壁を跨いで出力側の回路領域に配されていることを特徴とする半導体装置。

【請求項 7】

第 1 導電型または第 2 導電型の半導体基板と、
前記半導体基板の主表面上に形成された絶縁膜と、
前記絶縁膜上に形成され、低電位基準回路領域をなす第 2 導電型の第 1 領域と、
前記第 1 領域と離間して前記絶縁膜上に形成され、高電位基準回路領域をなす第 2 導電型の第 2 領域と、
前記第 1 領域と前記第 2 領域との間に位置し、表面から見て前記第 1 領域または前記第 2 領域のうちの一方を取り囲むように環状に形成され、高耐圧終端領域をなす第 3 領域と

前記第 3 領域と環状構造を一体化する形で配置され、前記第 1 領域と前記第 2 領域との間の信号伝達を媒介する中継半導体素子領域をなす第 4 領域と、

前記第 1 領域または前記第 2 領域のうちの少なくとも一方と前記第 4 領域との間に位置し、トレンチ状の溝に絶縁物が充填された絶縁隔壁とを備え、
前記第 4 領域の中継半導体素子の出力配線が、前記絶縁隔壁を跨いで出力側の回路領域に配されていることを特徴とする半導体装置。

【請求項 8】

請求項 6 または請求項 7 に記載する半導体装置において、

前記絶縁隔壁は、その底部が下方に位置する前記半導体基板または前記絶縁膜に達しているとともに、表面から見て前記第 4 領域の中継半導体素子の周囲を、少なくとも 3 方向包囲していることを特徴とする半導体装置

【請求項 9】

請求項 6 または請求項 7 に記載する半導体装置において、

前記第 3 領域が、PN 接合により高耐圧を維持する接合分離型の構造をなすことを特徴とする半導体装置。

【請求項 10】

請求項 6 または請求項 7 に記載する半導体装置において、

前記第 3 領域が、複数の絶縁隔壁群により高耐圧を維持する絶縁分離型の構造をなすことを特徴とする半導体装置。

【請求項 11】

請求項 10 に記載する半導体装置において、

前記絶縁隔壁群により区画された領域は、前記絶縁隔壁を誘電体膜とするコンデンサ構造を有し、前記第 1 領域側から前記第 2 領域側に向けて漸進的に電位が上昇するように形成されていることを特徴とする半導体装置。

【請求項 12】

第 1 導電型の半導体基板と、

前記半導体基板の主表面上に形成され、低電位基準回路領域をなす第 2 導電型の第 1 領域と、
前記第 1 領域と離間して前記半導体基板上に形成され、高電位基準回路領域をなす第 2 導電型の第 2 領域と、

前記第 1 領域と前記第 2 領域との間に位置し、表面から見て前記第 1 領域または前記第 2 領域のうちの一方を取り囲むように環状に組み合わされて形成され、中継半導体素子領域をなす複数の第 4 領域と、

前記第 1 領域または前記第 2 領域のうちの少なくとも一方と前記第 4 領域との間に位置し、トレンチ状の溝に絶縁物が充填された絶縁隔壁とを備え、
前記第 4 領域の中継半導体素子の出力配線が、前記絶縁隔壁を跨いで出力側の回路領域に配されていることを特徴とする半導体装置。

【請求項 13】

第1導電型または第2導電型の半導体基板と、
前記半導体基板の主表面上に形成された絶縁膜と、
前記絶縁膜上に形成され、低電位基準回路領域をなす第2導電型の第1領域と、
前記第1領域と離間して前記絶縁膜上に形成され、高電位基準回路領域をなす第2導電型の第2領域と、

前記第1領域と前記第2領域との間に位置し、表面から見て前記第1領域または前記第2領域のうちの一方を取り囲むように環状に組み合わせられて形成され、中継半導体素子領域をなす複数の第4領域と、

前記第1領域または前記第2領域のうちの少なくとも一方と前記第4領域との間に位置し、トレンチ状の溝に絶縁物が充填された絶縁隔壁とを備え、

前記第4領域の中継半導体素子の出力配線が、前記絶縁隔壁を跨いで出力側の回路領域に配されていることを特徴とする半導体装置。

【請求項 14】

請求項 12 または 請求項 13 に記載する半導体装置において、

前記絶縁隔壁は、その底部が下方に位置する前記半導体基板または前記絶縁膜に達しているとともに、表面から見て前記第4領域の中継半導体素子の周囲を、少なくとも3方向包囲していることを特徴とする半導体装置

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明は、低電位基準回路と高電位基準回路とを混載した半導体装置に関する。さらに詳細には、低電位基準回路と高電位基準回路との間の信号伝達を媒介する高耐圧MOSを備えた半導体装置に関するものである。

【背景技術】

【0002】

従来から、低電位基準回路と高電位基準回路とを混載した半導体装置がパワーデバイス等に広く利用されている。そのような半導体装置は、概ね図16に示すような構造を有している。すなわち、低電位基準回路領域1と高電位基準回路領域2とを備え、高電位基準回路領域2がリサーフ構造等により形成された高耐圧分離領域3に取り囲まれる構造を有している。また、低電位基準回路領域1と高電位基準回路領域2との間の信号伝達（レベルシフト）のために高耐圧NMOS5や高耐圧PMOS6が設けられている。具体的には、低電位基準回路領域1から高電位基準回路領域2へのレベルシフトには、低電位基準回路領域1内に配置した高耐圧NMOS5が利用されている。一方、高電位基準回路領域2から低電位基準回路領域1へのレベルシフトには、高電位基準回路領域2内に配置した高耐圧PMOS6が利用されている。そして、それぞれのドレイン配線が入力側の領域から高耐圧分離領域3を跨いで出力側の領域に引き出されている。

【0003】

図17は、低電位基準回路領域1から高電位基準回路領域2へのレベルシフトを行う回路の例を示したものである。この回路は、高耐圧NMOS5と、プルアップ抵抗101と、ツェナーダイオード102とを備えている。そして、高耐圧NMOS5のON/OFFに伴って、ドレインに高電位基準回路領域2内の電源電圧に相当する電位差を生じさせる。これにより、低電位基準回路領域1と高電位基準回路領域2との間のレベルシフトを行う。例えば、低電位基準回路領域1内および高電位基準回路領域2内の電源電圧がともに15Vであり、低電位基準回路領域1と高電位基準回路領域2との電位差が1000Vであることとする。この場合、低電位基準回路領域1内で0-15Vでスイングさせた信号は、この回路を介することにより1000-1015Vでスイングする信号に変換される。これにより、低電位基準回路1から送られる信号が高電位基準回路2内で使用可能となる。

【0004】

このように低電位基準回路領域1と高電位基準回路領域2との間でレベルシフトを行う半導体装置では、表面上に形成されたメタル配線（ドレイン配線）を介して信号が伝達される。このドレイン配線は、層間絶縁膜を介して低電位基準回路領域1や高耐圧分離領域3等の上を通過することになる。その際、高電位であるドレイン配線と低電位である半導体装置の表面との電位差が大きくなる。そのため、このドレイン配線によって耐圧が低下することが問題となる。通常、この問題を解決するためにドレイン配線と半導体装置の表面との間の層間絶縁層を厚く形成することで対応する。しかしながら、高電位基準回路領域と低電位基準回路領域との電位差が600Vを超えるものでは、厚膜化に伴う配線プロセスの困難化やコストアップ等を招いてしまう。

【0005】

前記した問題を解決する技術としては、例えば特許文献1に、高耐圧分離領域とレベルシフト用の高耐圧MOSのドリフト層を一体的に形成し、ドレインを出力側の回路領域内に形成した半導体装置が開示されている。この半導体装置は、ドレイン配線が高耐圧分離領域や低電位基準回路領域上を跨いで配線されることがないため、耐圧の問題を生じさせずにレベルシフトを行うことができるとされている。

【0006】

また、この他には、例えば特許文献2に、N型の高耐圧分離領域の一部をP型のスリッ

ト領域にて分割し、その部位にレベルシフト用の高耐圧NMOSを形成した半導体装置が開示されている。すなわち、高耐圧NMOSのドレインN型層と高電位基準回路領域内のN型層とをP型のスリット領域を介して対向させている。また、そのスリット領域の上方に高電位のドレイン配線を配している。この半導体装置では、そのスリット領域部分をピンチオフ（両N型層から形成される空乏層の一体化）させる。そして、ピンチオフさせるとP型のスリット領域の表面が両サイドのN型層とほぼ同電位となる。これにより、ドレイン配線の影響を抑制できるとされている。

【0007】

また、この他には、例えば特許文献3に、SOI構造を有する半導体装置であって、半導体装置の主表面から埋め込み絶縁層までに達する絶縁領域を設け、その絶縁領域上にドレイン配線を配設した半導体装置が開示されている。これにより、高電位となるドレイン配線と半導体層との間隔を大きくすることができるため、ドレイン配線の影響を抑制できるとされている。

【特許文献1】特開平9-55498号公報

【特許文献2】特開平9-283716号公報

【特許文献3】特許第3201719号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

これら先行文献に開示された半導体装置では、いずれもレベルシフトを行う際に、ドレイン配線と半導体装置の表面との電位差が大きくならないように工夫されている。しかしながら、これらの半導体装置には、次のような問題があった。

【0009】

すなわち、特許文献1に開示された半導体装置では、高耐圧MOSがNMOSである場合には、その高耐圧NMOSのドレインN型層が高電位基準回路領域のN型層と接するように形成される。そのため、高耐圧NMOSのドレインN型層と高電位基準回路領域のN型層とは電氣的に接続している。それ故、高耐圧NMOSのドレインN型層と高電位基準回路領域内のN型層との間の寄生抵抗を大きくする機構が必要である。このことから、特許文献1に開示された半導体装置では、高耐圧分離領域を低電位基準回路領域方向に湾曲させ、その部分に高耐圧NMOSを形成している。すなわち、高耐圧NMOSのドレインN型層と高電位基準回路領域内のN型層との距離を大きくして寄生抵抗を大きくしているのである。しかしながら、湾曲させることでチップ面積の増大を招き、基板全体のコンパクト化を妨げてしまう。また、高耐圧NMOSのドレインN型層と高電位基準回路領域内のN型層とを完全に絶縁することが不可能であるため、リーク電流の発生は不可避である。よって、電力の浪費が生じる。

【0010】

また、特許文献2に開示された半導体装置では、高耐圧NMOSのドレインN型層と高電位基準回路領域内のN型層との間が空乏化されるような配置を採用している。しかし、この距離が近すぎると高耐圧NMOSのドレインN型層と高電位基準回路領域内のN型層との間でパンチスルー降伏が発生する。つまり、両者の距離は、耐圧とパンチスルー降伏とのトレードオフを考慮して定める必要がある。このため、要求仕様電圧によってはこのトレードオフ関係を充足できず、使用電圧の制限を受けてしまう。

【0011】

また、特許文献3に開示された半導体装置では、ドレイン配線の下方に形成される絶縁領域の膜厚を厚くしなければならない。特許文献3では、この絶縁領域をLOCOS法（局所酸化法）によって形成するとしている。しかし、LOCOS法により形成可能な酸化膜の膜厚はおおよそ1~2 μ mである。そのため、高耐圧系の素子には適用できない。また、LOCOS法の他に、半導体層にトレンチを形成し、そのトレンチ内部を酸化膜や多結晶シリコン層で埋め込む方法も考えられる。しかし、この場合もドレイン配線と半導体層との間の高耐圧化を図るためには、絶縁領域の膜厚を厚くするだけでは不十分であり、絶

縁領域の幅をある程度とる必要である。しかるに、 $2\mu\text{m}$ を超える幅広いトレンチを形成すると、そのトレンチを酸化膜や多結晶シリコン膜で埋めることは困難であり、実現性が乏しい。また、特許文献3に開示された半導体装置では、素子を構成する半導体層が絶縁領域により分断されるため、絶縁領域との境界部分で電位分布が不均一となり、その部位で電界集中が生じやすい。

【0012】

本発明は、前記した従来の半導体装置が有する問題点を解決するためになされたものである。すなわちその課題とするところは、低電位基準回路と高電位基準回路とを混載させた半導体装置であって、低電位基準回路と高電位基準回路との間でレベルシフトを行うことができ、コンパクトであるとともに耐圧に優れた半導体装置を提供することにある。

【課題を解決するための手段】

【0013】

この課題の解決を目的としてなされた半導体装置は、低電位基準回路と高電位基準回路とを混載させ、両者間で信号の伝達を行う半導体装置であって、低電位基準回路の領域と高電位基準回路の領域との間に位置する高耐圧分離領域と、低電位基準回路と高電位基準回路との間の信号の伝達を媒介する中継半導体素子と、低電位基準回路の領域と高電位基準回路の領域との少なくとも一方の領域と、中継半導体素子との間に位置し、トレンチ状の溝に絶縁物が充填されたものである絶縁隔壁とを備え、中継半導体素子の出力配線が絶縁隔壁を跨いで出力側の回路領域に配されているものである。

【0014】

本発明の半導体装置では、高耐圧分離領域にて低電位基準回路の領域と高電位基準回路の領域とを区画している。高耐圧分離領域には低電位基準回路と高電位基準回路との間でレベルシフトを行うための中継半導体素子が設けられており、中継半導体素子の出力配線が絶縁隔壁を跨いで出力側の回路領域に配置されている。すなわち、低電位基準回路から高電位基準回路へのレベルシフトを行う中継半導体素子では、高電位基準回路の領域との間に絶縁隔壁が設けられる。また、高電位基準回路から低電位基準回路へのレベルシフトを行う中継半導体素子では、低電位基準回路の領域との間に絶縁隔壁が設けられる。これにより、中継半導体素子の出力配線が低電位の半導体装置の表面を跨ぐことがない。従って、高電位である出力配線による影響を受けることがない。さらに、絶縁隔壁によって中継半導体素子と出力側の回路領域とのパンチスルーを回避することができる。また、絶縁隔壁のサイズで耐圧を調整できることから、要求電圧が異なる場合であっても設計段階で容易に対応することができる。

【0015】

また、本発明の半導体装置は、低電位基準回路および高電位基準回路の下方に位置する基板領域を有し、絶縁隔壁は、その底部が前記基板領域にまで達しているとともに厚さ方向から見て中継半導体素子を包囲していることとしてもよい。あるいは、低電位基準回路および高電位基準回路の下方に位置する基板領域と、低電位基準回路および高電位基準回路と、基板領域との間に位置し、低電位基準回路および高電位基準回路と、基板領域とを絶縁する絶縁層を有し、絶縁隔壁は、その底部が絶縁層にまで達しているとともに厚さ方向から見て中継半導体素子を包囲していることとしてもよい。これらより、中継半導体素子と、低電位基準回路領域および高電位基準回路領域とが絶縁隔壁により絶縁されることから、リーク電流は発生しない。そのため、寄生抵抗を大きくするための湾曲部を設ける必要がなく、半導体装置全体のコンパクト化を図ることができる。

【0016】

また、本発明の半導体装置は、低電位基準回路の領域と高電位基準回路の領域との間に位置し、低電位基準回路の領域から高電位基準回路の領域までの間を複数の領域に区画する絶縁隔壁群を備えることとするよりよい。これにより、高耐圧分離領域内の主表面の電位は、低電位基準回路領域から高耐圧基準回路領域に向けて緩やかに変化する。従って、電界集中の問題が緩和される。

【0017】

また、本発明の別の半導体装置は、低電位基準回路と高電位基準回路とを混載させ、両者間で信号の伝達を行う半導体装置に於て、低電位基準回路と高電位基準回路との間の信号の伝達を媒介し、トレンチ状の溝に絶縁物が充填された絶縁隔壁に包囲された中継半導体素子を備え、中継半導体素子が複数設けられ、それらを環状に組み合わせることで低電位基準回路の領域と高電位基準回路の領域とが区画されており、それらの中継半導体素子の出力配線が前記絶縁隔壁を跨いで出力側の回路領域に配されているものである。この半導体装置でも、中継半導体素子と出力側の回路領域とのパンチスルーおよびリーク電流を回避することができる。また、中継半導体素子にて低電位基準回路と高電位基準回路とが区画されるため、どの部位でもほぼ同一の電位分布となる。よって、電界集中の問題が緩和される。

【0018】

また、本発明の半導体装置は、第1導電型の半導体基板と、半導体基板の主表面上に形成され、低電位基準回路領域をなす第2導電型の第1領域と、第1領域と離間して半導体基板の上に形成され、高電位基準回路領域をなす第2導電型の第2領域と、第1領域と第2領域との間に位置し、表面から見て第1領域または第2領域のうちの一方を取り囲むように環状に形成され、高耐圧終端領域をなす第3領域と、第3領域と環状構造を一体化する形で配置され、第1領域と第2領域との間の信号伝達を媒介する中継半導体素子領域をなす第4領域と、第1領域または第2領域のうちの少なくとも一方と第4領域との間に位置し、トレンチ状の溝に絶縁物が充填された絶縁隔壁とを備え、第4領域の中継半導体素子の出力配線が、絶縁隔壁を跨いで出力側の回路領域に配されていることを特徴とするものである。

【0019】

また、本発明の別の半導体装置は、第1導電型または第2導電型の半導体基板と、半導体基板の主表面上に形成された絶縁膜と、絶縁膜上に形成され、低電位基準回路領域をなす第2導電型の第1領域と、第1領域と離間して絶縁膜上に形成され、高電位基準回路領域をなす第2導電型の第2領域と、第1領域と第2領域との間に位置し、表面から見て第1領域または第2領域のうちの一方を取り囲むように環状に形成され、高耐圧終端領域をなす第3領域と、第3領域と環状構造を一体化する形で配置され、第1領域と第2領域との間の信号伝達を媒介する中継半導体素子領域をなす第4領域と、第1領域または第2領域のうちの少なくとも一方と第4領域との間に位置し、トレンチ状の溝に絶縁物が充填された絶縁隔壁とを備え、第4領域の中継半導体素子の出力配線が、絶縁隔壁を跨いで出力側の回路領域に配されていることを特徴とするものである。なお、半導体基板は、第1領域や第2領域等と比較して高濃度の領域である。

【0020】

また、半導体装置の絶縁隔壁は、その底部が下方に位置する半導体基板または絶縁膜に達しているとともに、表面から見て第4領域の中継半導体素子の周囲を、少なくとも3方向包囲していることとしてもよい。また、半導体装置は、第3領域がPN接合により高耐圧を維持する接合分離型の構造をなすこととしてもよい。

【0021】

また、半導体装置は、第3領域が複数の絶縁隔壁群により高耐圧を維持する絶縁分離型の構造をなすこととしてもよい。さらに、絶縁隔壁群により区画された領域は、絶縁隔壁を誘電体膜とするコンデンサ構造を有し、第1領域側から第2領域側に向けて漸進的に電位が上昇するように形成されていることとしてもよい。

【0022】

また、本発明の別の半導体装置は、第1導電型の半導体基板と、半導体基板の主表面上に形成され、低電位基準回路領域をなす第2導電型の第1領域と、第1領域と離間して半導体基板上に形成され、高電位基準回路領域をなす第2導電型の第2領域と、第1領域と第2領域との間に位置し、表面から見て第1領域または第2領域のうちの一方を取り囲むように環状に組み合わせられて形成され、中継半導体素子領域をなす複数の第4領域と、第1領域または第2領域のうちの少なくとも一方と第4領域との間に位置し、トレンチ状の

溝に絶縁物が充填された絶縁隔壁とを備え、第4領域の中継半導体素子の出力配線が、絶縁隔壁を跨いで出力側の回路領域に配されていることを特徴とするものである。

【0023】

また、本発明の別の半導体装置は、第1導電型または第2導電型の半導体基板と、半導体基板の主表面上に形成された絶縁膜と、絶縁膜上に形成され、低電位基準回路領域をなす第2導電型の第1領域と、第1領域と離間して絶縁膜上に形成され、高電位基準回路領域をなす第2導電型の第2領域と、第1領域と第2領域との間に位置し、表面から見て第1領域または第2領域のうちの一方を取り囲むように環状に組み合わせられて形成され、中継半導体素子領域をなす複数の第4領域と、第1領域または第2領域のうちの少なくとも一方と第4領域との間に位置し、トレンチ状の溝に絶縁物が充填された絶縁隔壁とを備え、第4領域の中継半導体素子の出力配線が、絶縁隔壁を跨いで出力側の回路領域に配されていることを特徴とするものである。

【発明の効果】

【0024】

本発明の半導体装置は、高耐圧分離領域内に中継半導体素子を設け、中継半導体素子の出力配線が絶縁隔壁を跨ぐように配置している。これにより、高電位である出力配線による影響を回避できる。また、絶縁隔壁により中継半導体素子と他の回路領域とを絶縁している。よって、湾曲部等のリーク電流対策を施さなくてもよい。従って、本発明によれば、低電位基準回路と高電位基準回路とを混載させた半導体装置であって、低電位基準回路と高電位基準回路との間でレベルシフトを行うことができ、コンパクトであるとともに耐圧に優れた半導体装置が実現されている。

【発明を実施するための最良の形態】

【0025】

以下、本発明を具体化した実施の形態について、添付図面を参照しつつ詳細に説明する。なお、本実施の形態は、電気自動車等に搭載されるパワーMOSに本発明を適用したものである。

【0026】

【第1の形態】

第1の形態に係る半導体装置100は、図1の平面図に示す構造を有している。なお、図16で示した従来の半導体装置と同一記号の構成要素は、その構成要素と同一機能を有するものである。半導体装置100は、低電位基準回路領域1と高電位基準回路領域2とを備え、高電位基準回路領域2が高耐圧分離領域3に取り囲まれる構造（リサーチ構造）を構成している。この高耐圧分離領域3により、低電位基準回路領域1と高電位基準回路領域2とが分離されている。さらに、高耐圧分離領域3の外縁にはトレンチ4が形成されている。このトレンチ4の中は、酸化シリコン等の絶縁物で充填されている。そのため、高電位基準回路領域2は低電位基準回路領域1と絶縁されている。また、高耐圧分離領域3は、その一部がトレンチ4にて区画されており、区画された部位に高耐圧NMOS5あるいは高耐圧PMOS6が設けられている。これらのMOSは、低電位基準回路領域1と高電位基準回路領域2との間の信号伝達（レベルシフト）を行うためのものである。具体的には、低電位基準回路領域1から高電位基準回路領域2へのレベルシフトには、ドレイン配線5dを高電位基準回路領域2内に配置した高耐圧NMOS5が利用される。一方、高電位基準回路領域2から低電位基準回路領域1へのレベルシフトには、ドレイン配線6dを低電位基準回路領域1内に配置した高耐圧PMOS6が利用される。

【0027】

図2は、図1に示した半導体装置100中のA-A部の断面を示す図である。すなわち、高耐圧NMOS5の断面を示す図である。高耐圧NMOS5は、P⁻型基板7上に形成されたN型エピタキシャル層（低電位基準N型層81、高電位基準N型層82、NMOS内ドリフト層85）のうち、トレンチ4によって区画された部位に形成されている。高耐圧NMOS5には、ゲートポリシリコン50gと、ゲート酸化膜50xと、ソースN⁺領域50sと、ドレインN⁺領域50dと、ボディP⁻領域50bと、ボディコンタクトP

+ 領域 50bc とが設けられている。さらには、ボディ P⁻ 領域 50b と同電位（通常は 0V）にバイアスされたリサーフ P⁻ 領域 50r が設けられている。その他、NMOS 内ドリフト層 85、フィールド酸化膜 9、分離用 P⁺ 拡散領域 10 等が設けられている。また、図 1 に示したようにゲート配線 5g（図 2 では不図示）、ソース配線 5s、およびドレイン配線 5d の各配線が半導体装置 100 の表面上に設けられ、これらによってレベルシフトを行うようになっている。なお、各配線 5g、5s、5d と N 型エピタキシャル層との間には層間絶縁膜 11 が形成されている。このような構造を有する高耐圧 NMOS 5 では、ゲートポリシリコン 50g への電圧印加によりボディ P⁻ 領域 50b にチャネル効果を生じさせ、もってソース N⁺ 領域 50s とドレイン N⁺ 領域 50d との間の導通をコントロールしている。

【0028】

図 3 は、図 1 に示した半導体装置 100 中の B-B 部の断面を示す図である。すなわち、高耐圧 PMOS 6 の断面を示す図である。高耐圧 PMOS 6 も、P⁻ 型基板 7 上に配した N 型エピタキシャル層（低電位基準 N 型層 81、高電位基準 N 型層 82、PMOS 内 N 型層 86）のうち、トレンチ 4 によって区画された部位に形成される。高耐圧 PMOS 6 には、ゲートポリシリコン 60g と、ゲート酸化膜 60x と、ソース P⁺ 領域 60s と、ドレイン P⁺ 領域 60d と、サブコンタクト N⁺ 領域 60sc とが設けられている。さらには、高耐圧 NMOS 5 のリサーフ P⁻ 領域 50r と同一の拡散層にて形成されたドリフト P⁻ 領域 60dr が設けられている。その他、高耐圧 NMOS 5 と同様に、フィールド酸化膜 9、分離用 P⁺ 拡散領域 10 等が設けられている。また、図 1 でも示したようにゲート配線 6g（図 3 では不図示）、ソース配線 6s、およびドレイン配線 6d の各配線によってレベルシフトを行うようになっている。このような構造を有する高耐圧 PMOS 6 では、ゲートポリシリコン 60g への電圧印加により PMOS 内 N 型層 86 にチャネル効果を生じさせ、もってソース P⁺ 領域 60s とドレイン P⁺ 領域 60d との間の導通をコントロールしている。

【0029】

図 4 は、図 1 に示した半導体装置 100 中の C-C 部の断面を示す図である。すなわち、高耐圧分離領域 3 の断面を示す図である。高耐圧分離領域 3 は、図 2 の高耐圧 NMOS 5 と比較して、高電位基準回路領域 2 側のトレンチ 4 と、ゲートポリシリコン 50g とが不要な点を除けば、高耐圧 NMOS 5 とほぼ同一の構造を有している。高耐圧分離領域 3 中の P 型拡散領域 30b、30bc は、それぞれ高耐圧 NMOS 5 内のボディ P⁻ 領域 50b、ボディコンタクト P⁺ 領域 50bc に相当する領域である。また、N 型拡散領域 30sc は、それぞれ高耐圧 PMOS 6 内のサブコンタクト N⁺ 領域 30sc に相当する領域である。そして、表面の電位分布も高耐圧 NMOS 5 および高耐圧 PMOS 6 とほぼ同一となるように設計されている。

【0030】

図 5 は、図 1 に示した半導体装置 100 中の D-D 部の断面を示す図である。すなわち、図 2 の断面と直交する高耐圧 NMOS 5 の断面を示す図である。高耐圧 NMOS 5 は、トレンチ 4 にて包囲された状態であり、そのトレンチ 4 の底部は P⁻ 型基板 7 に達している。そのため、NMOS 内ドリフト層 85 は、低電位基準 N 型層 81 および高電位基準 N 型層 82 の他、分離領域 N 型層 83 から電気的に絶縁されている。

【0031】

本形態の半導体装置 100 の特徴は、高耐圧 NMOS 5 や高耐圧 PMOS 6 について、高耐圧分離領域 3 をトレンチ 4 にて区画した領域に配置した点にある。半導体装置 100 では、高耐圧 NMOS 5 における高電位のドレイン配線 5d（高耐圧 PMOS 6 では低電位のドレイン配線 6d）が低電位の部位（高耐圧 PMOS 6 では高電位の部位）を跨ぐことがない。従って、耐圧の問題は発生しない。このことは特許文献 1 等の半導体装置と同様であるが、半導体装置 100 では高耐圧 NMOS 5 がトレンチ 4 にて高電位基準回路領域 2 から完全に分離されている。そのため、ドレイン N⁺ 領域 50d と高電位基準 N 型層 82 との間にリーク電流やパンチスルー降伏が発生しないのである。従って、特許文献 1

の半導体装置のような湾曲部を設ける必要がなく、面積ロスが抑制される。また、特許文献2の半導体装置のように耐圧とパンチスルー降伏とのトレードオフを考慮する必要がなく、使用電圧の制限を受けることもない。本形態の半導体装置100では、ドレイン配線5dと基板との間の耐圧は、トレンチ4の深さにより求められる。また、ドレインN⁺領域50dと高電位基準N型層82との間の耐圧は、トレンチ4の幅により求められる。従って、耐圧をトレンチ4のサイズで調整できる。

【0032】

また、特許文献2の半導体装置における表面に露出させるP型のスリット領域の幅に対して、本形態の半導体装置100におけるトレンチ4の幅は小さい。そのため、特許文献2の半導体装置と比較しても面積ロスは小さい。詳細には、P型のスリット領域の幅2Lは、パンチスルー降伏に対する耐圧を確保するために少なくとも以下の式(1)を満たす必要がある。

$$2L > \sqrt{(2 \epsilon V_{PT} / q N_P)} \quad (1)$$

式(1)中、“ ϵ ”はシリコンの誘電率、“ V_{PT} ”はパンチスルー降伏に対する耐圧、“ q ”は電子の電荷量、“ N_P ”はP型基板の濃度をそれぞれ意味している。例えば、パンチスルー耐圧 $V_{PT} = 50V$ 、1000V級の高耐圧半導体装置で一般的に使用される基板濃度 $N_P = 1.0 \times 10^{14} \text{ cm}^{-3}$ をそれぞれ式(1)に適用すると、 $2L \approx 26 \mu\text{m}$ となる。一方、本形態の半導体装置100では、トレンチ4としてシリコン酸化膜を使用した場合、一般的に3MV/cm以下となる膜厚を選択すればよく、例えば耐圧50Vを得るためにはおよそ170nmあれば足りる。よって、特許文献2の半導体装置と比較して、面積ロスが小さいことがわかる。

【0033】

なお、本形態の半導体装置100ではトレンチ4を形成することから、従来の半導体装置と比較してプロセス工程数の増加に伴うコストアップを招く。しかしながら、半導体装置100に搭載されるバイポーラやCMOS等の回路との分離にトレンチ4を適用することで、チップ面積を大幅に削減することができる。そのため、トータルコストはむしろ低減することができる。特に、この種の高耐圧半導体装置では、高抵抗のP⁻型基板7の上に形成されたN型エピタキシャル層にCMOS等の回路を搭載する。そのため、このN型エピタキシャル層の厚みは、CMOS用のP型ウェル領域やバイポーラ用のP型ベース領域とP⁻型基板7との間にパンチスルー降伏が発生しないような厚さを確保するように設計される。例えば、35V系の回路を搭載するには、一般的にN型エピタキシャル層の厚さが25 μm 以上必要である。これに従来のように分離用のP⁺拡散領域を熱拡散により形成した場合、その幅方向の広がりによってその領域の幅は15 μm 以上必要となる。そのため、P⁺拡散領域にて領域を分割する方式は、本形態のようにトレンチ4にて領域を分離する方式と比較して、面積ロスが大きい。従って、トレンチ4の適用は必ずしもトータルコストの上昇を招くものではない。

【0034】

[第2の形態]

第2の形態に係る半導体装置200は、図6の平面図に示す構造を有している。半導体装置200は、低電位基準回路領域1と高電位基準回路領域2とを備え、第1の形態の半導体装置100と同様に高電位基準回路領域2が高耐圧分離領域3に取り囲まれる構造を構成している。さらには、高耐圧分離領域3の一部にトレンチ41、42が形成されており、高耐圧分離領域3が複数の領域に区画されている。そして、区画された部位に高耐圧NMOS5あるいは高耐圧PMOS6が設けられている。第1の形態の半導体装置100との相違点は、トレンチ41、42がそれぞれ高耐圧NMOS5、高耐圧PMOS6の一部を包囲していないことである。具体的には、ソース配線側にトレンチが形成されていない。また、高耐圧分離領域3の外縁に形成されていたトレンチが存在しない。

【0035】

図7は、図6に示した半導体装置200中のE-E部の断面を示す図である。すなわち、高耐圧NMOS5の断面を示す図である。高耐圧NMOS5は、P⁻型基板7上に配し

たN型エピタキシャル層（低電位基準N型層81、高電位基準N型層82、NMOS内ドリフト層85）が形成される。第1の形態の半導体装置100との相違点は、ソース配線5s側にはトレンチ41が存在しないことである。その代わりに、低電位基準N型層81とNMOS内ドリフト層85とを底部がP⁻型基板7に達する分離P⁺拡散領域12によりP⁻型基板7の電位がとられる。一方、トレンチ41にて、NMOS内ドリフト層85と高電位基準N型層82とを分離している。さらに、トレンチ41中、図6中の左端をソースN⁺領域50sより左側に設けることで、高電位基準領域2と高耐圧NMOS5とが絶縁される。よって、高耐圧NMOS5と高電位基準回路領域2との間にリーク電流やパUNCHスルー降伏が発生しない。さらに、第1の形態の半導体装置100と比較して、トレンチの総体積が小さい。よって、トレンチの作製における歩留りが良い。

【0036】

[第3の形態]

第3の形態に係る半導体装置300は、図8の平面図に示す構造を有している。半導体装置300は、低電位基準回路領域1と高電位基準回路領域2とを備え、第1の形態の半導体装置100と同様に高電位基準回路領域2が高耐圧分離領域3に取り囲まれる構造を構成している。また、高耐圧分離領域3の一部に高耐圧NMOS5が設けられている。また、外壁トレンチ43と内壁トレンチ44とを設けている。本形態の半導体装置300には、第1の形態の半導体装置100と異なり、高耐圧分離領域3内を区画するトレンチが存在しない。そのため、トレンチの近傍に発生し易い結晶欠陥等に伴う耐圧の低下を防止することができる。

【0037】

なお、前記したトレンチの結晶欠陥等による耐圧の低下防止のみを目的とすると、図9に示す半導体装置310のようにトレンチレスの構造とすることで達成できる。しかしながら、半導体装置310では、高耐圧NMOS5のドレインN⁺領域と高電位基準N型層とが分離されず、それらが電気的に接続されてしまう。また、高耐圧分離領域3に複数の高耐圧NMOS5あるいは高耐圧PMOS6が設けられた場合、それらを分離することができない。この問題を解決するために本形態の半導体装置300では、高電位基準回路領域2を完全に包囲する内壁トレンチ44が設けられている。これにより、高耐圧NMOS5のドレインN⁺領域と高電位基準N型層との間が絶縁される。また、高耐圧分離領域3内の寄生抵抗が内壁トレンチ44沿いに形成される。本形態の半導体装置300では、高耐圧分離領域3中の高電位基準回路領域2側のN⁺領域50dの電位を部位13でとっている。この部位13と高耐圧NMOS5のN⁺領域50d（ドレインN⁺領域）との間の寄生抵抗は、図8中の寄生抵抗経路38と寄生抵抗経路39との合成抵抗となる。すなわち、これらを十分に離隔して配置することで抵抗値を大きくすることができ、リーク電流等の影響を低減することができる。

【0038】

[第4の形態]

第4の形態に係る半導体装置400は、図10の平面図に示す構造を有している。半導体装置400は、低電位基準回路領域1と高電位基準回路領域2とを備え、高電位基準回路領域2が高耐圧分離領域3に取り囲まれる構造を構成している。この高耐圧分離領域3により、低電位基準回路領域1と高電位基準回路領域2とが分離されている。さらに、高耐圧分離領域3内には高耐圧分離領域3の形状に合わせたループ状のトレンチ群40が形成されている。トレンチ群40の各トレンチの中は絶縁物で充填されている。また、高耐圧分離領域3には、トレンチ4にて区画された部位が設けられており、その区画された部位にレベルシフト用の高耐圧NMOS5あるいは高耐圧PMOS6が設けられている。

【0039】

図11は、図10に示した半導体装置400中のF-F部の断面を示す図である。本形態の半導体装置400には、SOI構造を有しているものであって、P⁺型基板7とエピタキシャル層（低電位基準N型層81、高電位基準N型層82、分離領域N型層83）との間に埋め込み絶縁層75が設けられている。すなわち、埋め込み絶縁層75にてP⁺型

基板7とエピタキシャル層とが絶縁されている。なお、埋め込み絶縁層75の下方に位置する基板は、P型でもN型でもよい。また、分離領域N型層83は、底部が絶縁酸化膜7にまで達するトレンチ群40にて複数の領域に区画されている。トレンチ群40にて区画された領域のうち、最も低電位基準回路領域1に近い領域には、高耐圧NMOS5内(図12参照)のボディP⁻領域50b、ボディコンタクトP⁺領域50bcにそれぞれ相当するP型拡散領域30b、30bcが設けられている。また、最も高電位基準回路領域2に近い領域には、高耐圧NMOS5内のドレインN⁺領域50dに相当するN型拡散領域30dが設けられている。そして、P型拡散領域30b、30bcがグランドと、N型拡散領域30dが高電位基準回路領域2の電源とそれぞれ電位を等しくしている。さらに、主表面の電位は、トレンチ群40にて生じる寄生的な容量カップリングの効果により低電位基準回路領域1から高電位基準回路領域2に向かって段階的に上昇する。なお、寄生的な容量のカップリング比は、設計段階でトレンチ40群中の各トレンチの幅にて調整可能である。

【0040】

図12は、図10に示した半導体装置400中のG-G部の断面を示す図である。すなわち、高耐圧NMOS5の断面を示す図である。高耐圧NMOS5は、P⁺型基板7上に形成されたN型エピタキシャル層のうち、トレンチ群40およびトレンチ4によって区画された部位に形成されている。高耐圧NMOS5には、ゲートポリシリコン50gと、ゲート酸化膜50xと、ソースN⁺領域50sと、ドレインN⁺領域50dと、ボディP⁻領域50bと、ボディコンタクトP⁺領域50bcとが設けられている。さらには、P⁺型基板7上にドリフト層として機能するNMOS内ドリフト層85が設けられている。さらに、このNMOS内ドリフト層85の上方にリサーフP⁻領域50rが形成されている。そして、ソースドレイン間に高電圧が印加されたときに、分離領域N型層83とリサーフP⁻領域50rとのPN接合部から空乏層が形成されることで高耐圧化が図られている。このとき、主表面の電位は、ソースドレイン間でほぼ直線的に上昇する。

【0041】

図13は、図10に示した半導体装置400中のH-H部の断面を示す図である。すなわち、高耐圧PMOS6の断面を示す図である。高耐圧PMOS6も、P⁺型基板7上に配したN型エピタキシャル層のうち、トレンチ群40およびトレンチ4によって区画された領域に形成される。高耐圧PMOS6には、ゲートポリシリコン60gと、ゲート酸化膜60xと、ソースP⁺領域60sと、ドレインP⁺領域60dと、サブコンタクトN⁺領域60scとが設けられている。さらには、高耐圧NMOS5のリサーフP⁻領域50rと同一の拡散層にて形成されたドリフトP⁻領域60drが設けられている。そして、ソースドレイン間に高電圧が印加された場合、主表面の電位はソースドレイン間でほぼ直線的に上昇する。

【0042】

本形態の半導体装置400の特徴は、高耐圧NMOS5や高耐圧PMOS6について、高耐圧分離領域3をトレンチ4にて区画した領域に配置した点に加えて、高耐圧分離領域3内にループ状のトレンチ群40が形成されている点にある。これにより、高耐圧分離領域3、高耐圧NMOS5、高耐圧PMOS6のいずれの部位においても、主表面の電位は低電位基準回路領域1から高耐圧基準回路領域2に向けて緩やかに上昇する。すなわち、本形態の半導体装置400では、高耐圧分離領域3内のいずれの部位においても近似した電界分布となる。また、第1の形態の半導体装置と同様に高耐圧NMOS5における高電位のドレイン配線5d(高耐圧PMOS6では低電位のドレイン配線6d)が低電位の部位(高耐圧PMOS6では高電位の部位)を跨ぐことがない。従って、従来の半導体装置と比較して、簡易な構造により低耐圧化が抑制されるとともに電界集中が抑制される。

【0043】

[第5の形態]

第5の形態に係る半導体装置500は、図14の平面図に示す構造を有している。すなわち、半導体装置500は、低電位基準回路領域1と高電位基準回路領域2とを備えてい

る。そして、高電位基準回路領域2が複数の高耐圧NMOS5（あるいは高耐圧PMOS6）に囲まれた構造を構成している。各高耐圧NMOS5は、トレンチ4にて囲まれている。

【0044】

本形態の半導体装置500は、次の点に特徴を有する。すなわち、低電位基準回路領域1と高電位基準回路領域2との間の分離領域の電位分布が均一となる。第4の形態の半導体装置400（図10参照）においては、高耐圧分離領域3内の電位分布（図11参照）と高耐圧NMOS5内の電位分布（図12参照）とはともに緩やかに上昇しているが、若干の差を生じている。そのため、耐圧の問題が発生することがある。これに対し、本形態の半導体装置500では、不要な高耐圧NMOS5が生じるものの、どの部位においてもほぼ同一の電位分布となるため、耐圧および電界集中の問題が生じない。なお、不要な高耐圧NMOS5が幾つか配置されることがあるが、ゲートをオフさせておくことで不具合は生じない。

【0045】

〔第6の形態〕

第6の形態に係る半導体装置600は、図15の平面図に示す構造を有している。すなわち、半導体装置600は、低電位基準回路領域1と高電位基準回路領域2とを備えている。そして、高電位基準回路領域2がトレンチ4に囲まれた構造を構成している。勿論、トレンチ4の中は絶縁物で充填されている。すなわち、低電位基準回路領域1と高電位基準回路領域2との間の領域を絶縁体で充填している。また、トレンチ4にて区画された部位にレベルシフト用の高耐圧NMOS5や高耐圧PMOS6が設けられている。

【0046】

本形態の半導体装置600では、トレンチ4部分の電位が低電位基準回路領域1から高電位基準回路領域2に向けて直線的に上昇する。これにより、第6の形態と同様にどの部位においてもほぼ同一の電位分布となるため、耐圧の問題が生じない。また、トレンチ4のうち、高耐圧NMOS5や高耐圧PMOS6に近接する部位以外の部位の幅を狭くすることが可能である。そのため、チップ面積の削減を図ることができる。一般的に、高耐圧MOSの近傍は $10\mu\text{m}/\text{V}$ 程度、例えば耐圧 1000V では $100\mu\text{m}$ 程度が必要であるのに対し、それ以外の部位は $3\times 10^{-3}\mu\text{m}/\text{V}$ 程度、すなわち耐圧 1000V では $3\mu\text{m}$ あれば十分である。

【0047】

以上詳細に説明したように第1の形態の半導体装置100では、低電位基準回路領域1と高電位基準回路領域2との間に高耐圧分離領域3を設けることとしている。さらに、高耐圧分離領域3の外縁に底部がP⁻型基板7に達するトレンチ4を形成し、低電位基準回路領域1と高電位基準回路領域2とを完全に分離することとしている。さらに、高耐圧分離領域3がトレンチ4にて区画されており、区画された部位に高耐圧NMOS5あるいは高耐圧PMOS6を設けることとしている。そして、高耐圧NMOS5のドレイン配線5dを、トレンチ4を跨ぐように半導体装置の表面に形成することとしている。これにより、ドレイン配線5dが高耐圧分離領域3を跨ぐことがなく、高電位（高耐圧PMOS6では低電位）であるドレイン配線5dによる影響を受けることがない。また、トレンチ4にて各高耐圧MOSと、低電位基準回路領域1および高電位基準回路領域2とが完全に絶縁されていることから、リーク電流は発生せず、寄生抵抗を大きくするための湾曲部を設ける必要もない。また、半導体装置100では、耐圧をトレンチ4のサイズで調整できることから、要求電圧が異なる場合であっても設計段階で容易に対応することができる。すなわち、設計自由度が高い。従って、低電位基準回路と高電位基準回路とを混載させた半導体装置であって、低電位基準回路と高電位基準回路との間でレベルシフトを行うことができ、コンパクトであるとともに耐圧に優れた半導体装置が実現されている。

【0048】

また、第2の形態の半導体装置200では、ソース配線側の壁面および高耐圧分離領域3の外壁にトレンチが形成されていない。これにより、歩留りの向上および半導体装置の

コンパクト化を図ることができる。また、第3の形態の半導体装置300は、高耐圧分離領域3と高耐圧NMOS5とを区画するトレンチが存在しない。そのため、トレンチの近傍に発生し易い結晶欠陥等に伴う耐圧の低下を防止することができる。

【0049】

また、第4の形態の半導体装置400では、高耐圧分離領域3内にループ状のトレンチ4群を形成することとしている。これにより、高耐圧分離領域3内の主表面の電位は、低電位基準回路領域1から高耐圧基準回路領域2に向けて緩やかに上昇することとなり、電界集中の問題が緩和される。また、第5の形態の半導体装置500では、高電位基準回路領域2を高耐圧MOSにて取り囲むこととしている。これにより、低電位基準回路領域1と高耐圧基準回路領域2との間の領域では、どの部位においてもほぼ同一の電位分布となり、分離領域内での耐圧の問題は発生しない。また、第6の形態の半導体装置600では、低電位基準回路領域1と高電位基準回路領域2との間の領域を絶縁体で充填することとしている。このような形態であっても絶縁体で充填された領域のどの部位においてもほぼ同一の電位分布となり、分離領域内での耐圧の問題は発生しない。

【0050】

なお、本実施の形態は単なる例示にすぎず、本発明を何ら限定するものではない。したがって本発明は当然に、その要旨を逸脱しない範囲内で種々の改良、変形が可能である。例えば、各半導体領域については、P型とN型とを入れ替えてもよい。また、半導体についても、シリコンに限らず、他の種類の半導体（SiC、GaN、GaAs等）であってもよい。

【図面の簡単な説明】

【0051】

【図1】 第1の形態に係る半導体装置の構造を示す平面図である。

【図2】 図1の半導体装置におけるA-A断面の構造を示す断面図である。

【図3】 図1の半導体装置におけるB-B断面の構造を示す断面図である。

【図4】 図1の半導体装置におけるC-C断面の構造を示す断面図である。

【図5】 図1の半導体装置におけるD-D断面の構造を示す断面図である。

【図6】 第2の形態に係る半導体装置の構造を示す平面図である。

【図7】 図6の半導体装置におけるE-E断面の構造を示す断面図である。

【図8】 第3の形態に係る半導体装置の構造を示す平面図である。

【図9】 第3の形態に係る半導体装置の応用例であるトレンチレスの半導体装置の構造を示す平面図である。

【図10】 第4の形態に係る半導体装置の構造を示す平面図である。

【図11】 図10の半導体装置におけるF-F断面の構造を示す断面図である。

【図12】 図10の半導体装置におけるG-G断面の構造を示す断面図である。

【図13】 図10の半導体装置におけるH-H断面の構造を示す断面図である。

【図14】 第5の形態に係る半導体装置の構造を示す平面図である。

【図15】 第6の形態に係る半導体装置の構造を示す平面図である。

【図16】 従来の形態に係る半導体装置の構造を示す平面図である。

【図17】 従来の形態に係る半導体装置の回路構成を示す図である。

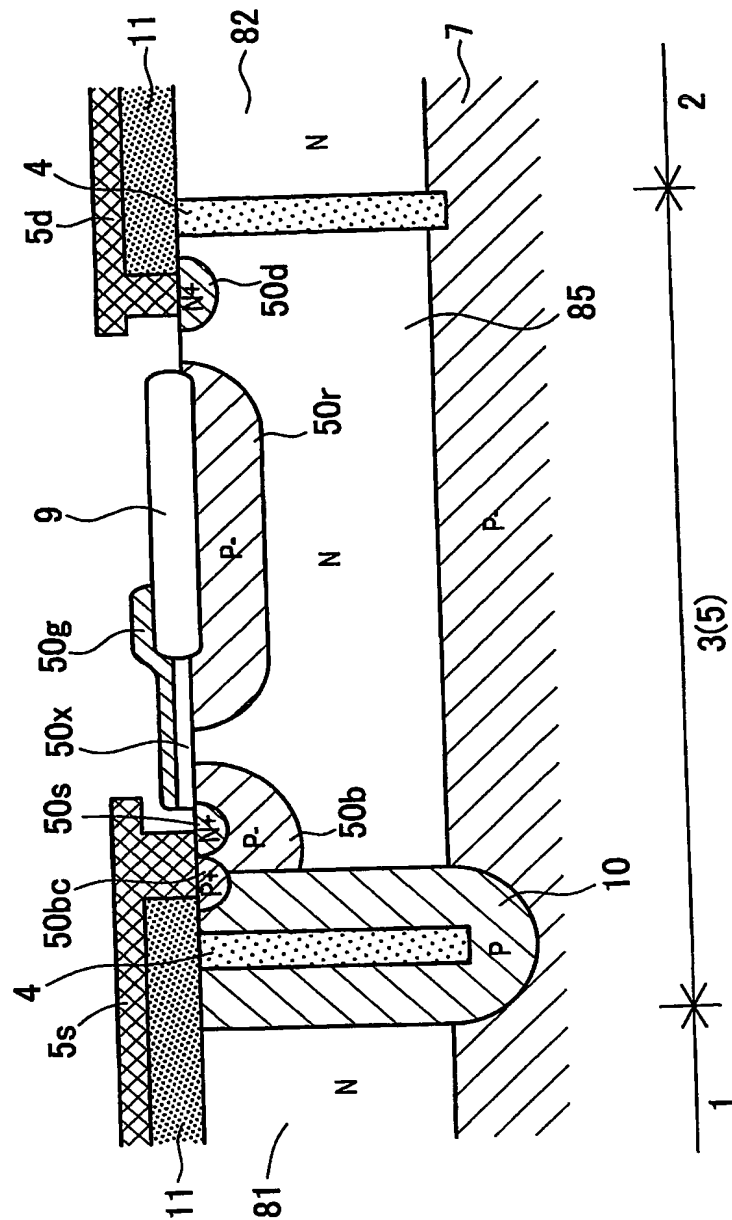
【符号の説明】

【0052】

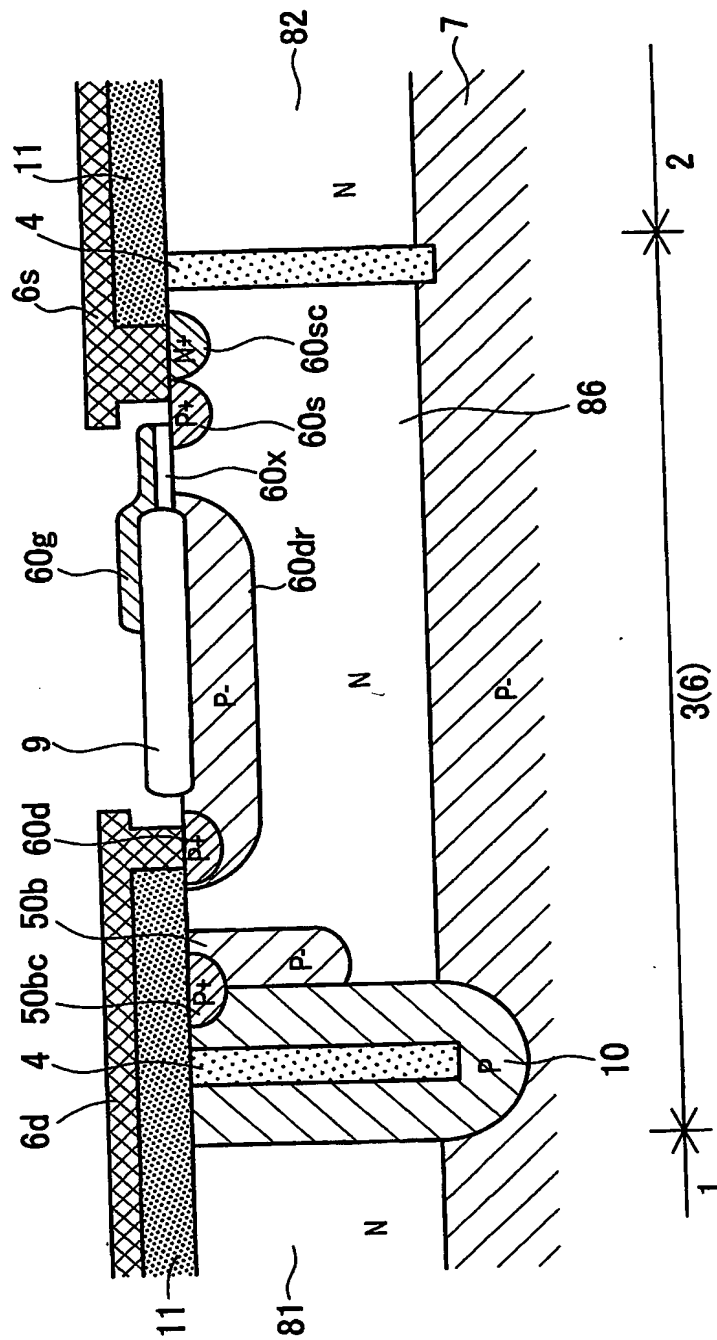
- 1 低電位基準回路領域（低電位基準回路，第1領域）
- 2 高電位基準回路領域（高電位基準回路，第2領域）
- 3 高耐圧分離領域（第3領域）
- 4 トレンチ（絶縁隔壁）
- 5 高耐圧NMOS（中継半導体素子，第4領域）
- 6 高耐圧PMOS（中継半導体素子，第4領域）
- 7 P⁻型基板（基板領域，半導体基板）
- 40 トレンチ群（絶縁隔壁群）

5 0 d ドレイン N⁺ 領域 (ドレイン)
 5 0 g ゲートポリシリコン (ゲート)
 5 0 s ソース N⁺ 領域 (ソース)
 7 5 埋め込み絶縁層 (絶縁膜)
 1 0 0 半導体装置

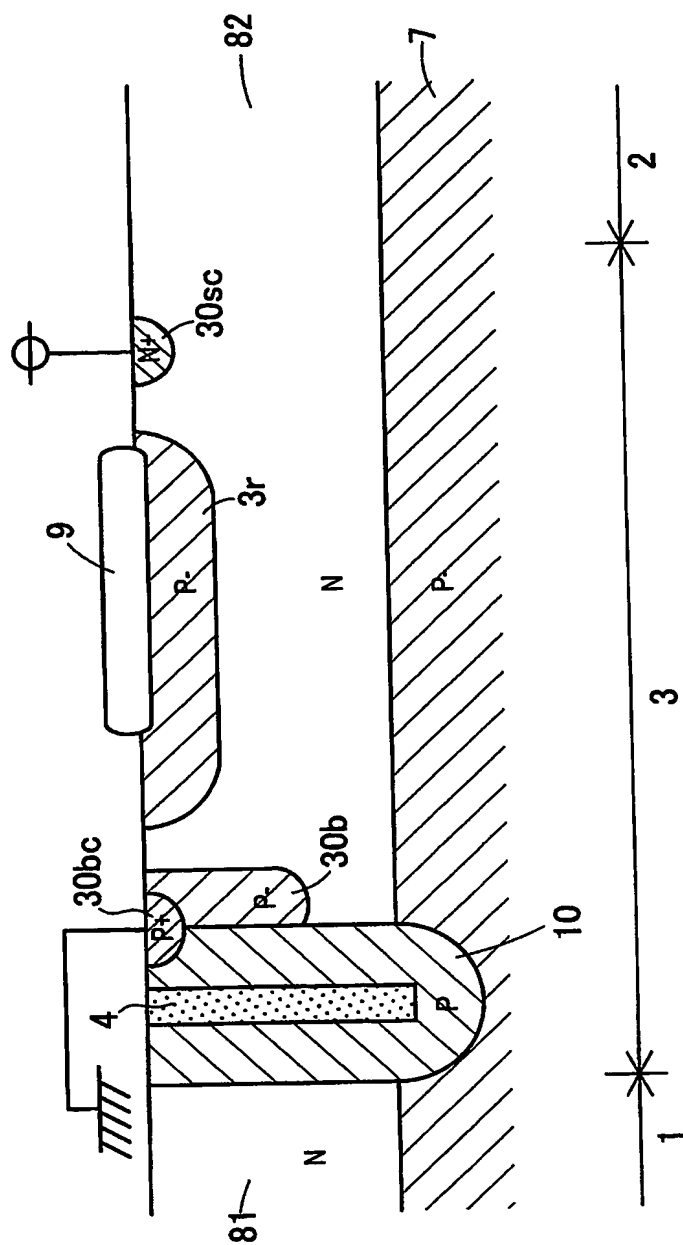
【図 2】



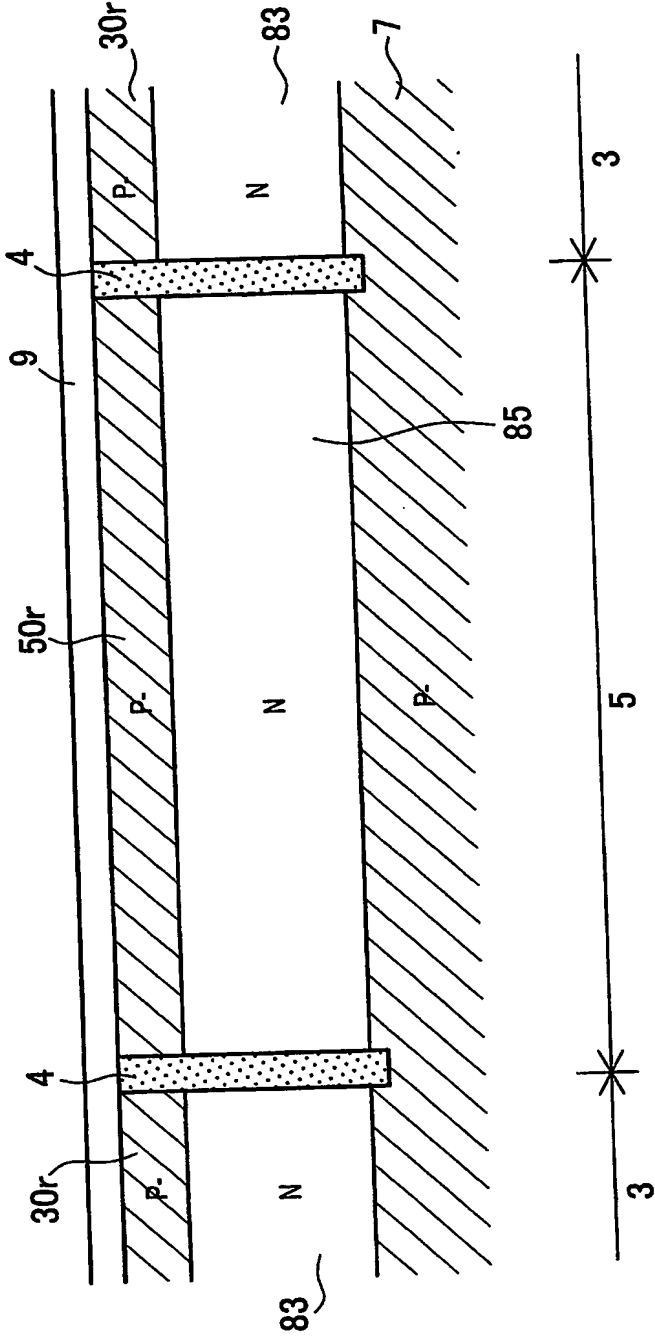
【図 3】



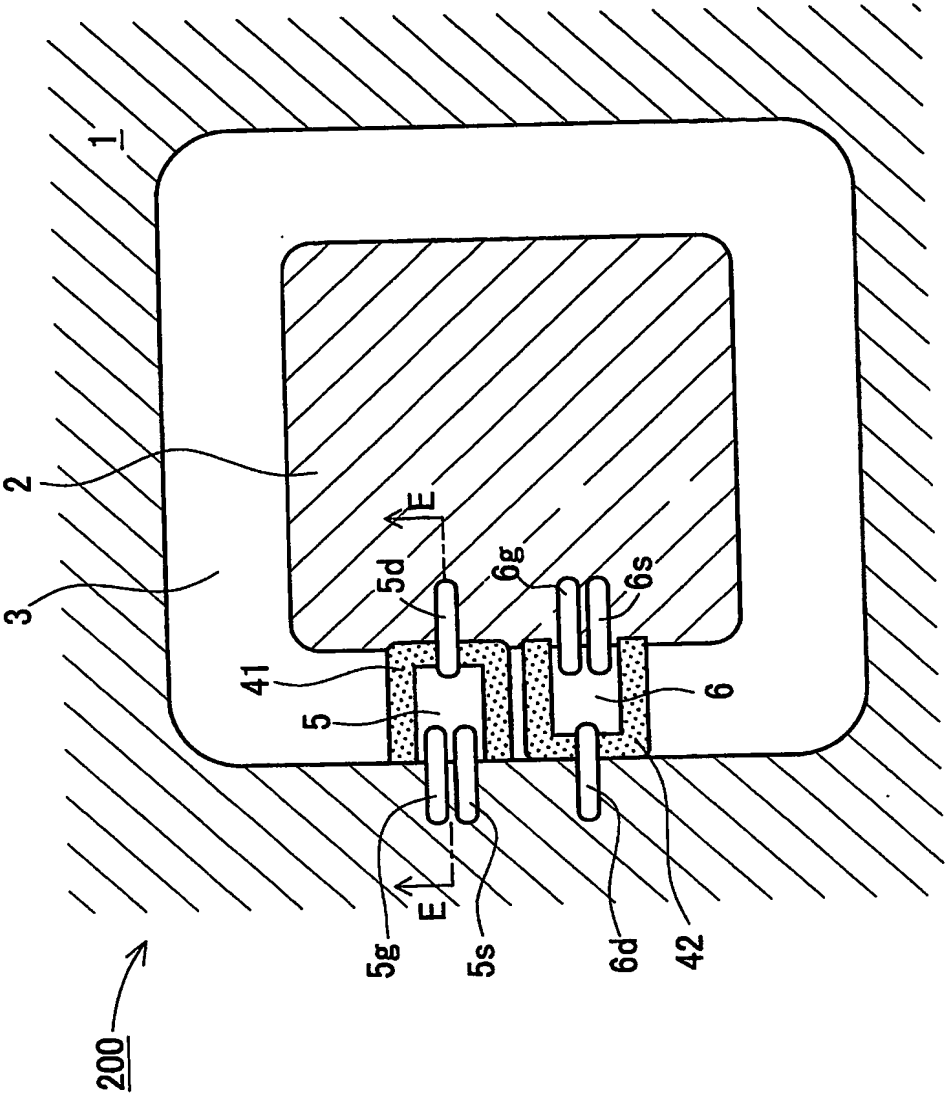
【図 4】



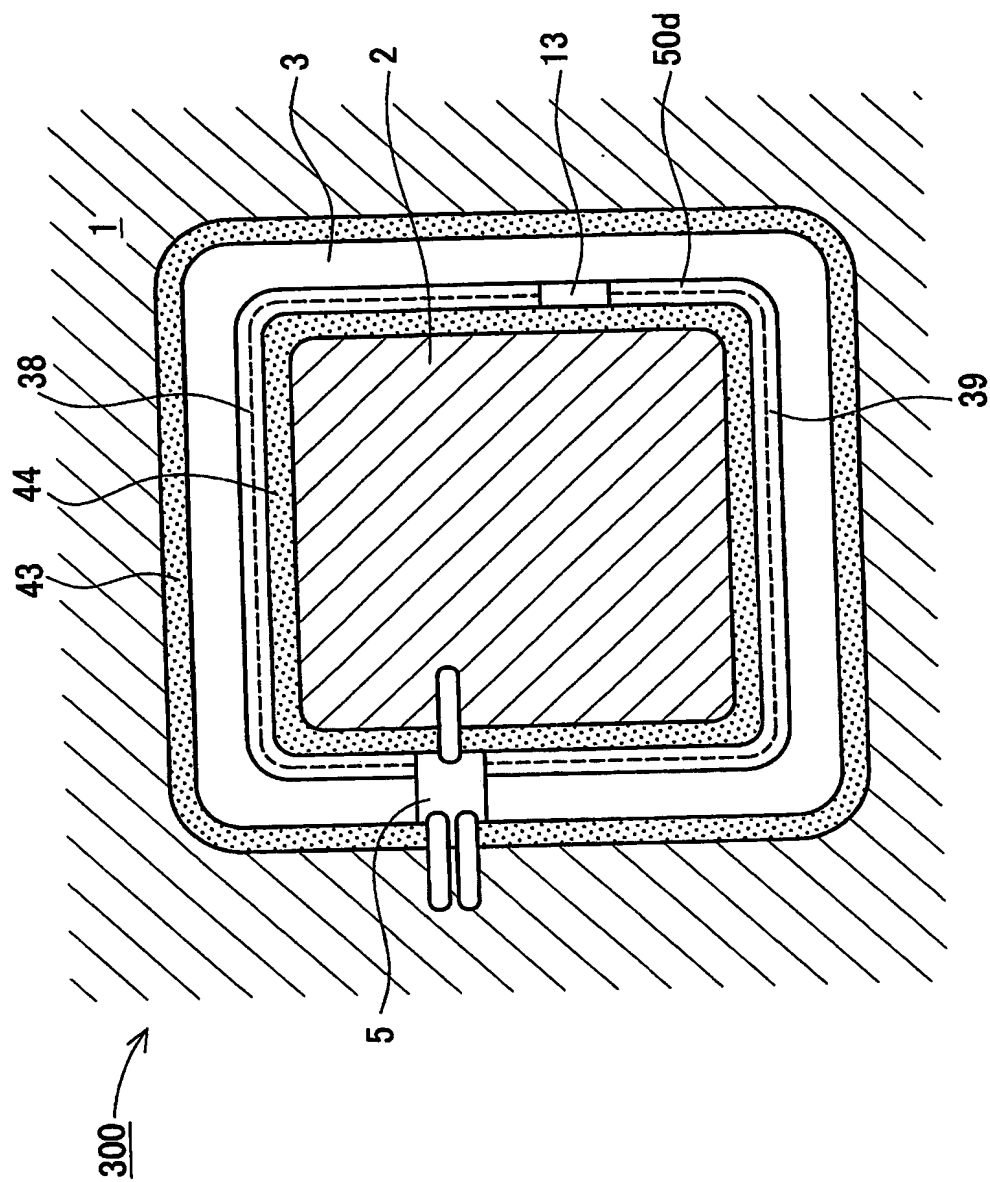
【図 5】



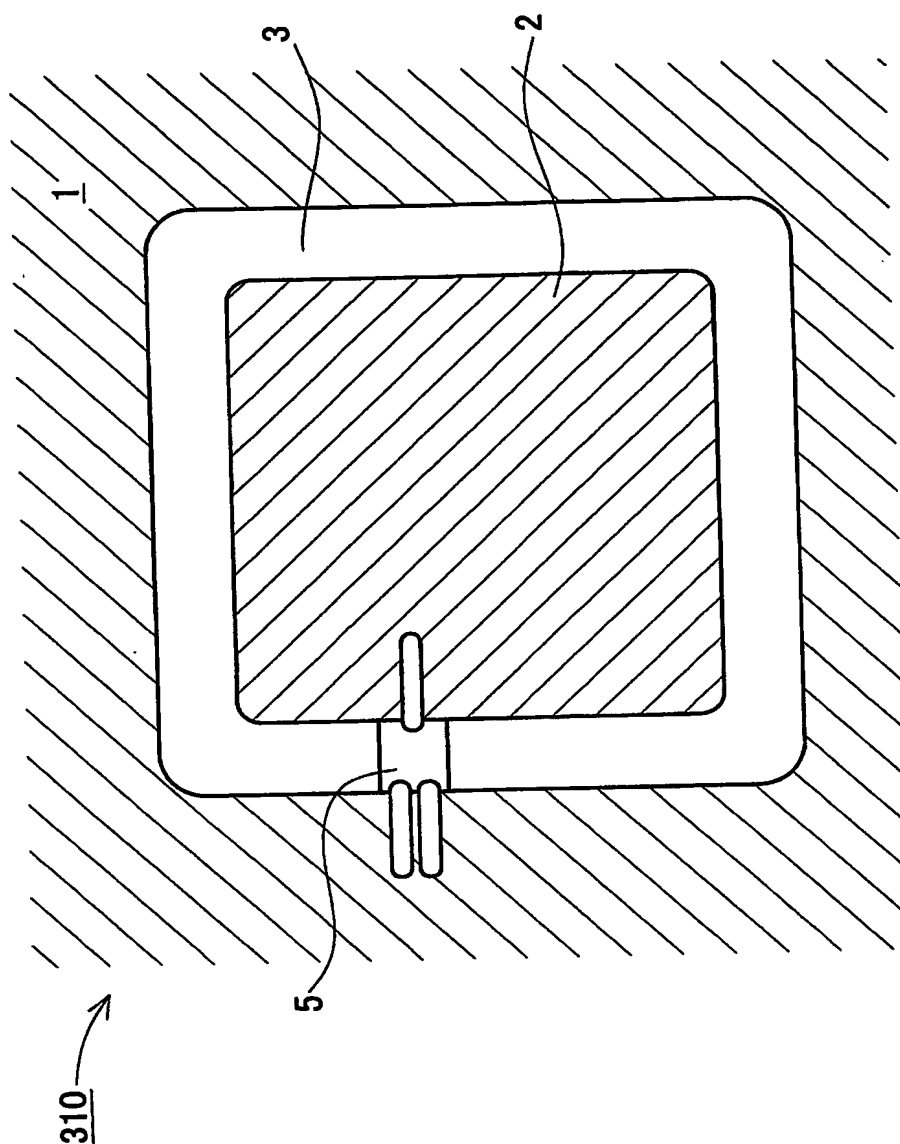
【図6】



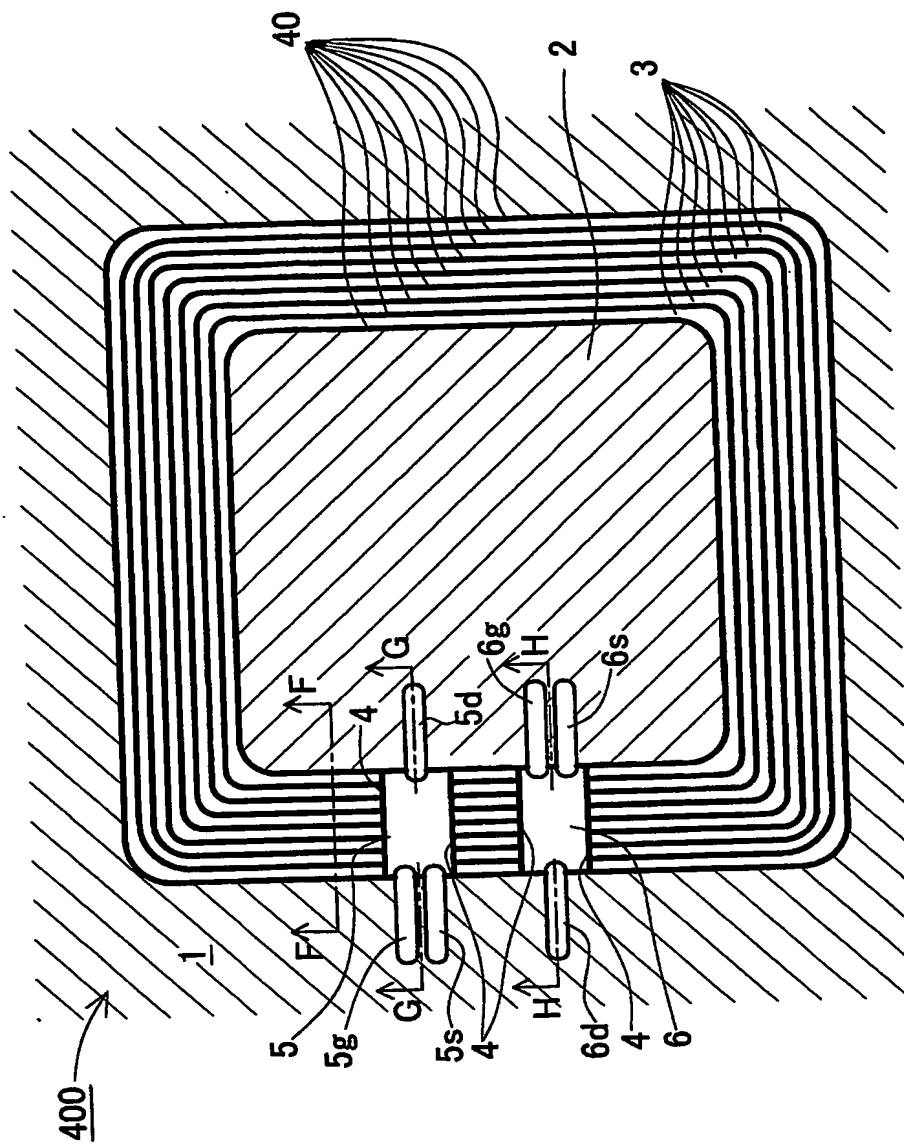
【図 8】



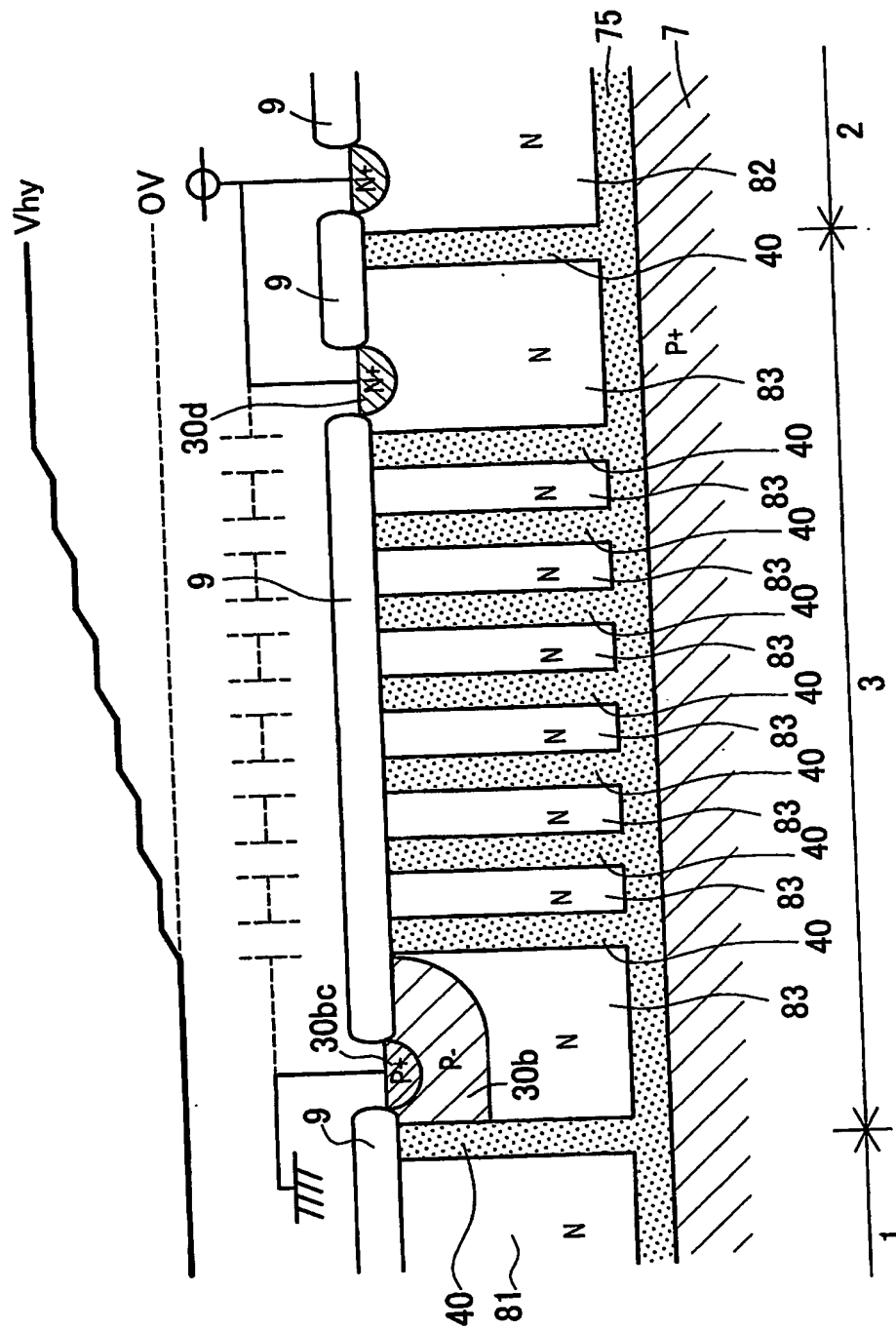
【図 9】



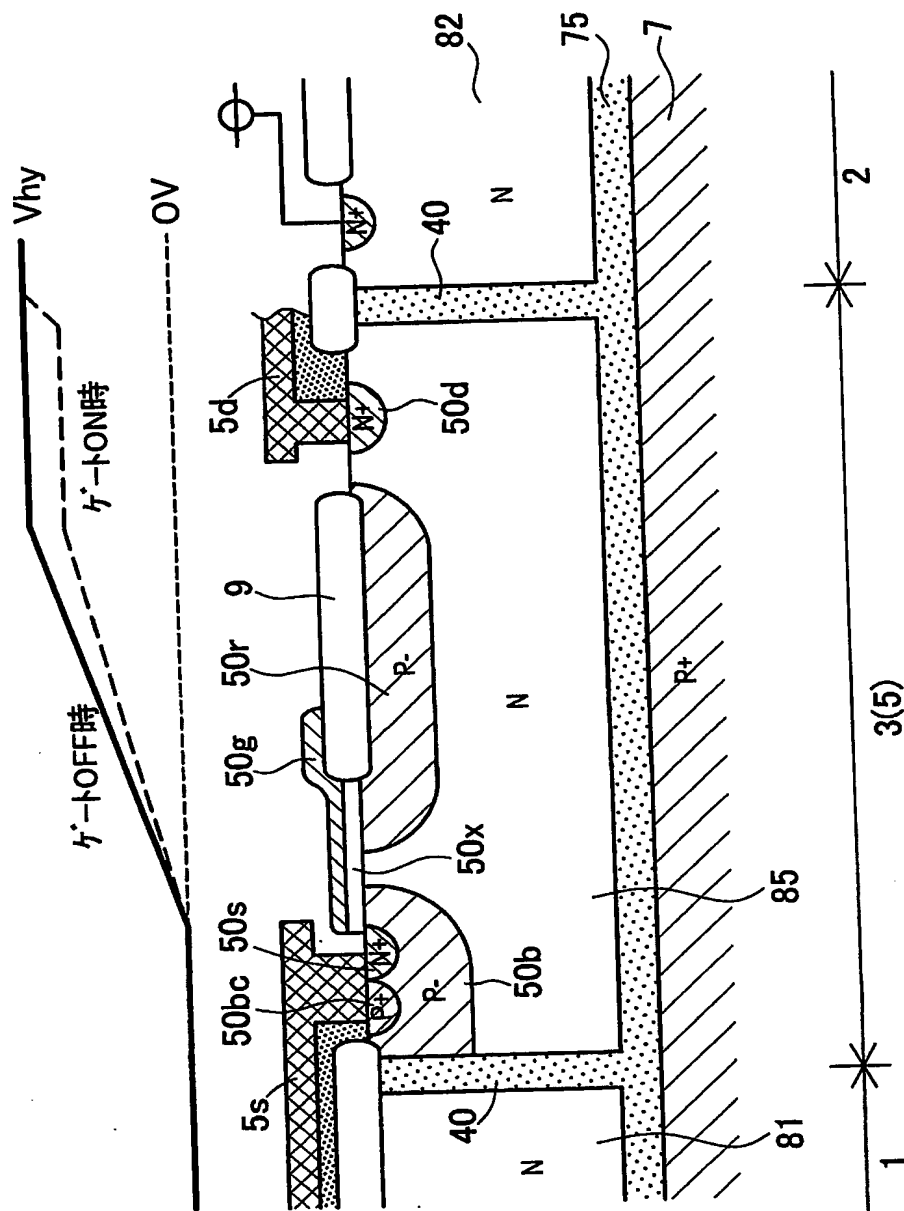
【図 10】



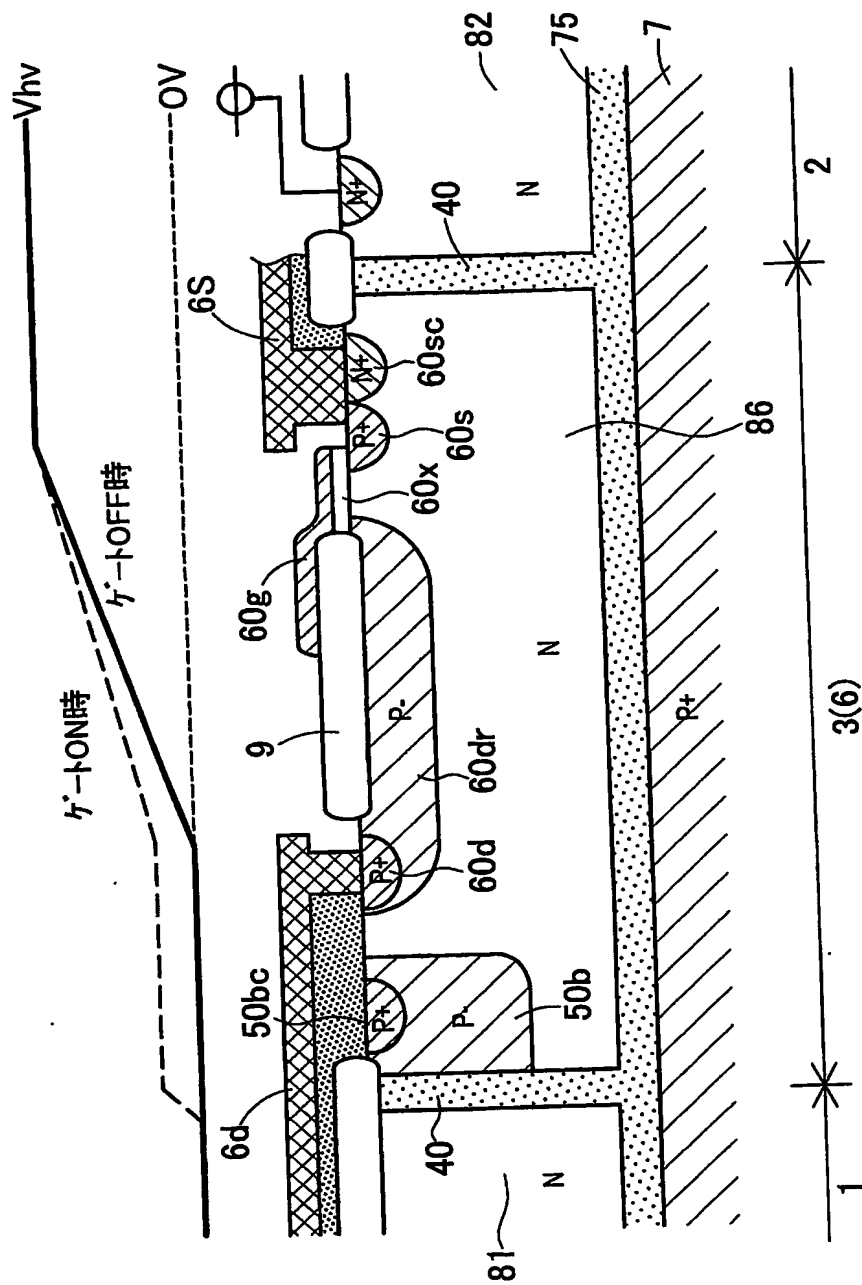
【図 11】



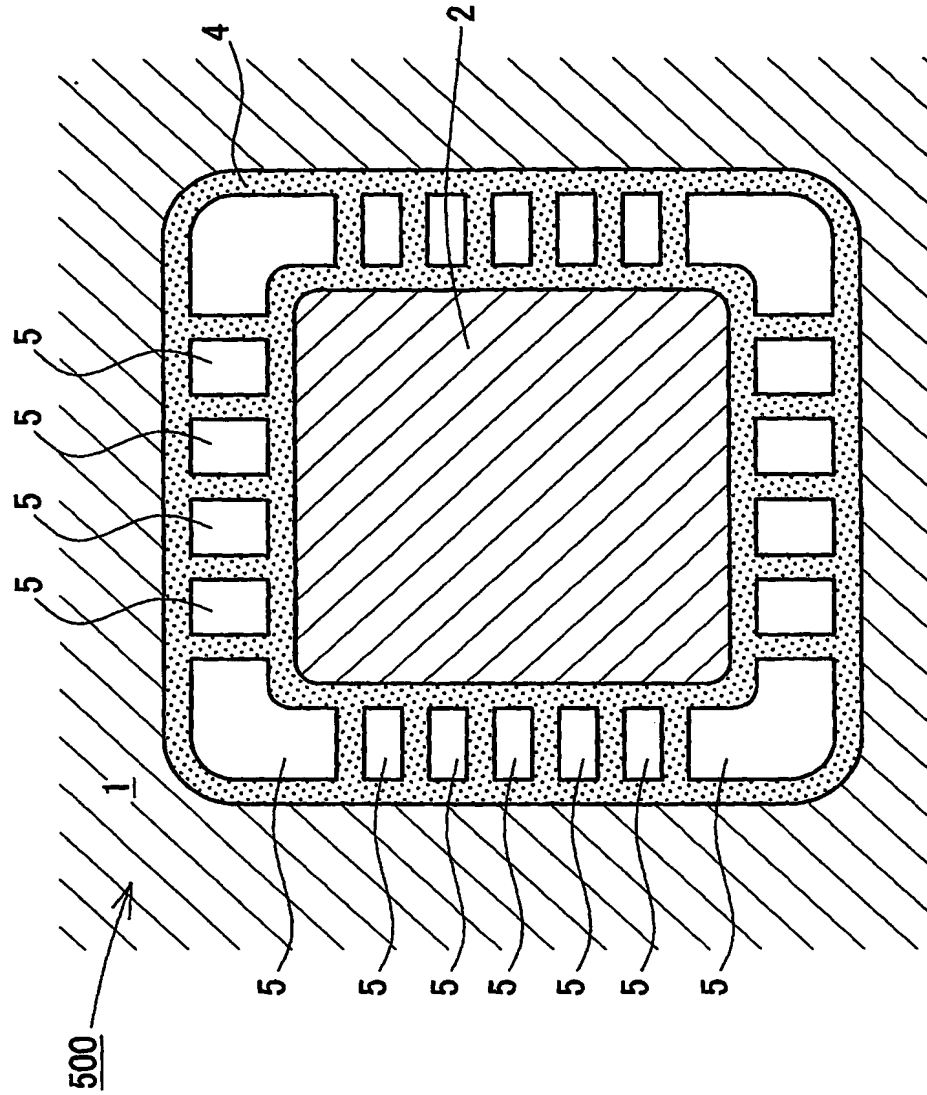
【図 12】



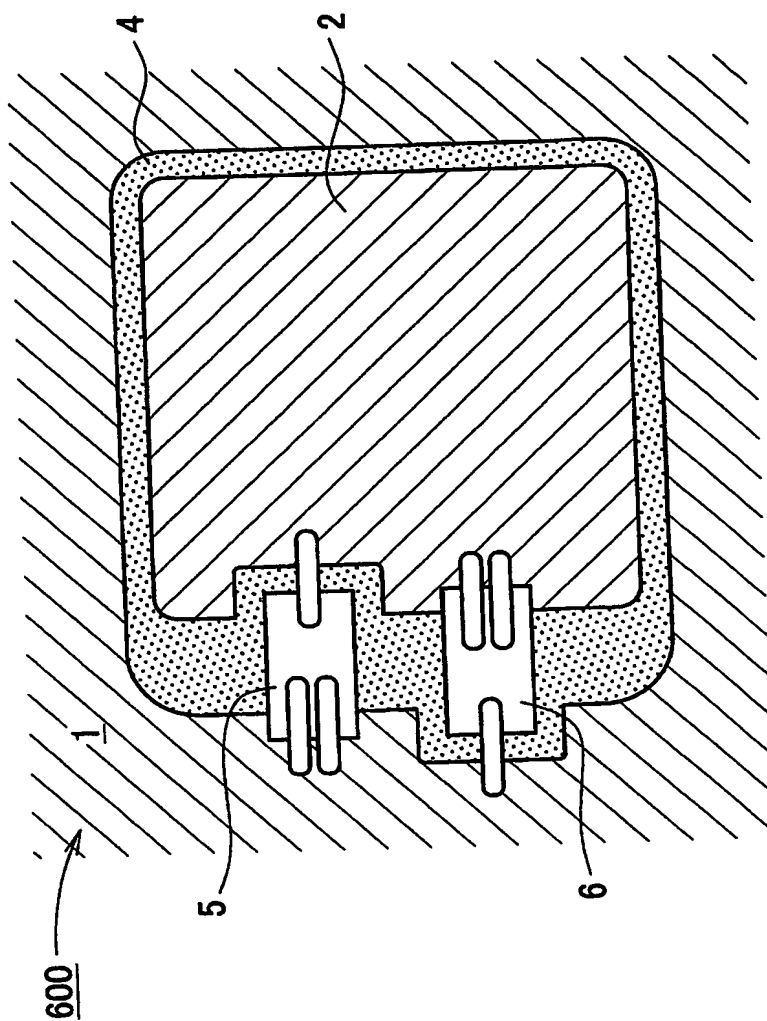
【図 13】



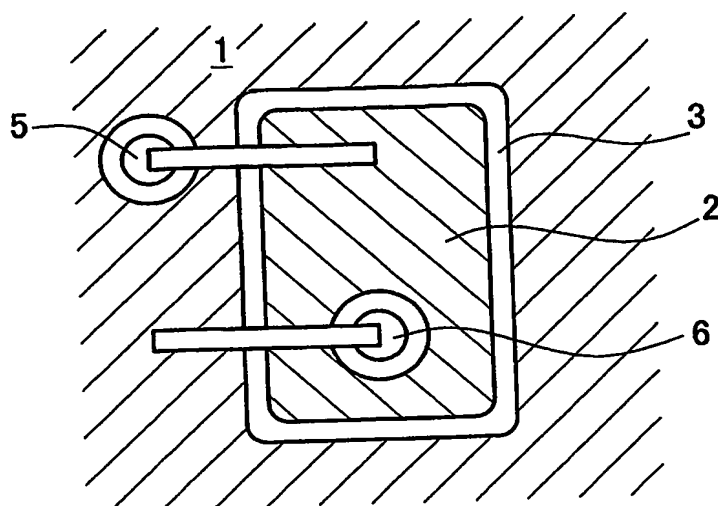
【図 14】



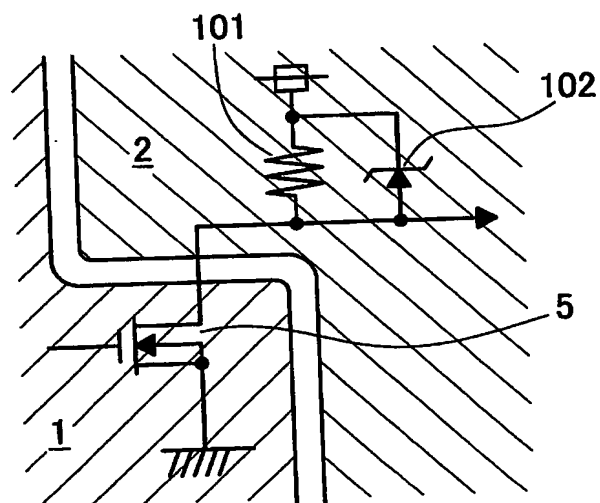
【図 15】



【図 16】



【図 17】



【書類名】 要約書**【要約】**

【課題】 低電位基準回路と高電位基準回路とを混載させた半導体装置であって、低電位基準回路と高電位基準回路との間でレベルシフトを行うことができ、コンパクトであるとともに耐圧に優れた半導体装置を提供すること。

【解決手段】 半導体装置 100 は、低電位基準回路領域 1 と高電位基準回路領域 2 とを備え、高電位基準回路領域 2 が高耐圧分離領域 3 に取り囲まれる構造を構成している。高耐圧分離領域 3 の外縁に形成されたトレンチ 4 にて低電位基準回路領域 1 と高電位基準回路領域 2 とが分離されている。トレンチ 4 は、その内部が絶縁物にて充填されており、低電位基準回路領域 1 と高電位基準回路領域 2 とを絶縁している。また、高耐圧分離領域 3 は、トレンチ 4 にて区画されており、区画された部位に高耐圧 NMOS 5 や高耐圧 PMOS 6 が設けられている。

【選択図】

図 1

特願 2 0 0 3 - 3 5 9 2 2 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 2 0 7]

1. 変更年月日

1 9 9 0 年 8 月 2 7 日

[変更理由]

新規登録

住 所

愛知県豊田市トヨタ町1番地

氏 名

トヨタ自動車株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.